

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-197138

(43) 公開日 平成6年(1994)7月15日

(51) Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 04 L 27/22	C	9297-5K		
H 03 L 7/06				
7/08				
	8730-5 J	H 03 L 7/06	B	
	9182-5 J	7/08	G	

審査請求 未請求 請求項の数1(全8頁) 最終頁に統く

(21) 出願番号 特願平4-343802

(71) 出願人 000005108

(22) 出願日 平成4年(1992)12月24日

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 下田 慎一

横浜市戸塚区戸塚町216番地株式会社日立  
製作所情報通信事業部内

(72) 発明者 須藤 茂幸

横浜市戸塚区吉田町292番地株式会社日立  
製作所映像メディア研究所内

(72) 発明者 竹田 克美

横浜市戸塚区戸塚町216番地株式会社日立  
製作所情報通信事業部内

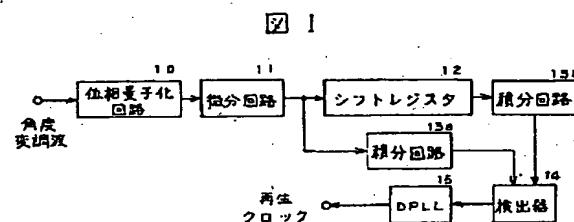
(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 デジタルクロック再生回路

(57) 【要約】

【目的】 同一クロックで動作させるシフトレジスタのラッチの数を減らし、クロックの配線遅延のばらつきによる回路の誤動作を低減すること。

【構成】 角度変調波を位相量子化回路10で位相データとし、この位相データのビット数を微分回路11で圧縮し、微分位相データを出力する。微分位相データを直接伸長する第1の積分回路13aの出力と、シフトレジスタ12を経由した微分位相データを伸長する第2の積分回路13bの出力とを検出器14に入力し、検出器14でこれら2つを減算することによって得られるアイバーンより伝送タイミングを検出し、DPLL15(デジタル位相同期ループ)に出力する。DPLL15はこの信号に同期したクロック再生を行う。



## 【特許請求の範囲】

【請求項1】受信された角度変調信号から位相情報をサンプリングして量子化した位相データに変換する位相量子化手段と、

この位相データのサンプル間隔の変化量を検出する微分手段と、

前記微分手段の出力を所定の時間遅延させる遅延手段と、

前記遅延手段を介し、微分手段の出力を入力し、積分を行う第1の積分手段と、またそれとは別に前記微分手段の出力を直接入力し、積分を行う第2の積分手段と、

前記第1、第2の積分手段の出力の減算を行って得られるアイバターンより角度変調信号のシンボルタイミングを検出する検出手段と、

前記検出手段が検出したシンボルタイミングに同期して再生クロックを出力するデジタル位相同期ループとを備えたことを特徴とするデジタルクロック再生回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、デジタル信号を角度変調して伝送された角度変調波からデジタル信号を復調するのに必要なタイミングクロックを再生するデジタルクロック再生回路に関する。

## 【0002】

【従来の技術】受信機で復調された角度変調波(PSK信号)をアイバターンの開いた最適点で識別するためには、復調部において伝送タイミングに同期したクロック信号を再生する必要がある。

【0003】従来、用いられているクロック再生回路としては特開平2-272840で開示されている方式が知られている。この開示例の構成を簡略して図2に示す。この再生回路は位相量子化回路10、シフトレジスタ12、検出器14、デジタル位相同期ループ(以下DPLLと略す)15から構成される。

【0004】前記再生回路は、まずPSK信号を位相量子化回路10により変調成分を抽出した量子化された位相データに変換する。この位相データは、シフトレジスタ12でPSK信号の1シンボルに相当する時間だけ遅延されてから検出器14に入力されるものと、シフトレジスタ12を経由せず、検出器14に直接入力されるものとに分けられる。検出器14ではこれらふたつのデータの減算を行う。これによって前記1シンボル期間の位相の変化量が検出される。この位相の変化量を適当なオーバサンプリングによってモニタするとアイバターンが得られ、このアイバターンを基に検出タイミングを抽出し、DPLL15に入力する。入力された検出タイミングを基準にDPLL15はクロック再生を行う。

## 【0005】

【発明が解決しようとする課題】前記開示例で使用するシフトレジスタ12は位相データのビット数とシフトす

10

20

30

40

50

2

る段数により回路規模が決定し、ビット数×段数のラッチ数が必要となる。ここで、ビット数は位相データの分解能であり、段数はタイミング時刻の分解能である。シフトレジスタは全て同一のクロックで動かす必要があり、全てのラッチのクロックのタイミングの一貫性が重要である。一方、クロックは配線の引き回しによる遅延時間が配線の浮遊容量、抵抗、等の影響で発生する。よって、回路規模が増大すると配線での遅延により、それぞれのラッチのクロックタイミングにばらつきが生じ、誤動作の可能性が増大する。

【0006】さらに再生タイミングがずれればシンボル点(アイバターンの開口部)からずれた位置で復調する事になり、位相判定に誤りが増加しピットエラーレート(BER)特性の劣化につながり、回線品質が悪くなる。

【0007】本発明は、シフトレジスタの前段に微分回路、後段に積分回路を設け、シフトレジスタの回路規模(ビット数)を低減することにより、同一クロックで動作するシフトレジスタの数を低減し、クロックの配線遅延のばらつきによる誤動作の危険性を回避するものである。

## 【0008】

【課題を解決するための手段】図1は、請求項1に記載のデジタルクロック再生回路の動作原理を示すブロック図である。

【0009】本発明は、受信されたPSK信号の位相を量子化した位相データに変換する位相量子化回路と、位相量子化回路から得られる量子化データの位相の進み・遅れを検出し、それに応じて量子化データのビット数を圧縮した微分位相データを出力する微分回路と、前記微分回路からの信号を1シンボル遅延させるシフトレジスタと、そのシフトレジスタを経由した前記微分位相データを伸張する第1の積分回路、またそれとは別に前記微分回路からの圧縮された微分位相データを直接、伸張する第2の積分回路と、さらに、前記第1の積分回路出力と第2の積分回路出力をそれぞれ入力し、その減算値であるアイバターンから、シンボルタイミングを検出する検出器と、検出器で検出したシンボルタイミングに応じて再生クロックを発生するDPLLとを備えて構成する。

## 【0010】

【作用】タイミング抽出回路において、シフトレジスタの前段と後段にそれぞれ微分回路、積分回路を設けることにより、シフトレジスタで遅延させる量子化した位相データのビット数を削減し、シフトレジスタのラッチの数を削減する。これにより、同一クロックで動作させるラッチの数を減らし、クロックの配線遅延のばらつきによる回路の誤動作を低減する。

## 【0011】

【実施例】以下図面に基づいて本発明の第1の実施例に

について説明する。

【0012】図3において、線で囲んだ位相量子化回路10の構成を説明すると、30はリミッタ、31は位相変調成分を取り出すのに必要な発振器、32はリミッタ30の出力と発振器31の発振出力との位相を比較して位相変調成分を取り出し位相情報を得る位相比較回路、33は位相情報をデジタル信号(位相データ)に変換するnビットのA/D変換器、である。

【0013】次に、量子化した位相データを圧縮する微分回路11の構成を説明する。34は得られた位相データを1サンプル遅延させるラッチ、35は直接入力された量子化データとラッチ34の出力を減算し、位相回転量を検出してその値に対応した圧縮された位相微分データを出力する減算器で構成される。

【0014】さらに、12は圧縮された位相微分データを1シンボルに相当する時間だけ遅延させるシフトレジスタ、13a及び13bは圧縮された位相微分データを伸長する積分回路(カウンタ)、14は圧縮・伸長された位相データと、シフトレジスタにより1シンボル遅延され圧縮・伸長された位相データとを減算し、得られたアイバターンから零クロス点を検出ポイントとして検出する検出器である。

【0015】15は、検出器14で得られたクロックタイミングを基にクロックを再生するDPLLである。以上によって本実施例は構成される。

【0016】次に、実施例の回路の詳細な動作について説明する。

【0017】図3、図4において、位相量子化回路10では、入力されたPSK信号はリミッタ30により図4に示す方形波のリミッタ出力となる。位相比較回路は発振器31からの角度変調波の搬送波周波数と同じ周波数である発振器出力と、リミッタ出力位相を比較し、位相差 $\gamma_n$ ( $n=1, 2, 3 \dots$ )に比例した電圧を出力する。この電圧信号をA/D変換器33で量子化し、量子化したデータに対応する位相データに変換する。この時の模式的な説明図を図5に示す。位相比較回路32から得られる位相情報 $\gamma_n$ をこの場合は4ビットにデジタル変換し量子化データとする。

【0018】微分回路11の部分では、減算器35で、直接減算器35に入力される位相データとラッチ34で1サンプル遅延させてから減算器35に入力する位相データとの減算を行い、サンプル間隔の位相回転量を求め、例えば、進み、変化無し、遅れの3段階で識別して、位相データのビット数を2ビットに圧縮する。この操作により、次段のシフトレジスタのラッチ数が、例えば図9(a)に示すように、この場合は4ビット(位相の解像度) $\times$ 6倍オーバサンプリング(タイミング時間の解像度)で24個となるところが、本発明の構成を用いると同図(b)に示すように2ビット $\times$ 6倍オーバサンプリングで半分の12個に低減できる。

【0019】前記位相変化データを基に検出器14に含まれる減算器35からアイバターンを得るために、遅延検波を行う。ここで、角度変調信号として $\pi/4$ シフトQPSK変調信号を例にとりアイバターンを得る方法及び再生クロックを得る過程を説明する。まず、 $\pi/4$ シフトQPSK変調信号を説明する。図13は $\pi/4$ シフトQPSK信号の信号空間ダイヤグラムで、2値のデジタルデータ2ビットの情報(それぞれ記号Xk、Ykで示す。)を下記表1に示す差動符号化規則に則り1シンボル期間の相対的な位相遷移(遷移パターンを記号 $\Delta\Phi$ で示す。)に対応させたものである。

【0020】

【表1】

#### 差動符号化規則

Xk	Yk	$\Delta\Phi$ [rad]
1	1	$-3\pi/4$
0	1	$3\pi/4$
0	0	$\pi/4$
1	0	$-\pi/4$

【0021】例えば図13に示すように時刻 $t_{k-1}$ に $\Phi_{k-1}$ にあった場合、1シンボル期間経過後は2ビットのデジタルデータに対応して、○で示したいずれかの点に遷移する。

【0022】この $\pi/4$ シフトQPSK信号の検波はシンボルタイミング時刻毎の受信位相を検出して、連続するシンボル時刻の相対的な位相遷移量を計算し(差動論理と定義する)、求めた遷移に最も近い遷移パターンを判定することで行う。アイバターンは、この位相遷移量の計算値の時間的変化を表したものである。

【0023】 $\pi/4$ シフトQPSK信号のアナログ遅延検波方式のアイバターンを図6に示す。本発明はこれを量子化した位相データを用いて実現しようとするものである。まず、位相微分データとシフトレジスタ12で1シンボルに相当する期間遅延させた位相微分データを、積分回路13a及び13bそれぞれでアップダウンカウントしていく。即ち、位相微分データが進みならアップカウント、変化無しならカウントせず、遅れならダウンカウントする。それぞれのカウント値を減算器35で減算し、そのカウント値の時間的変化を数シンボル重ね合わせたものが量子化した位相データを用いて実現したアイバターンとなる。以上のようにして得られたアイバターンを図7に示す。

【0024】さて、このアイバターンを基にシンボルタイミングを零クロス検出器36で検出する際に、零クロス検出器36は、図8に示すように減算器35から出力される値が0を交差したときに検出ポイントがあると判

5

断し、検出パルスを発生する。DPLL 15は、この検出パルスの位相から半シンボルずれた位相(逆相)に同期するよう動作してクロックを再生する。

【0025】以上により、デジタル回路のシフトレジスタの部分の回路規模を低減し、かつ良好なクロック再生を行うことが可能となった。

【0026】次に、本発明の第2の実施例について図面に基づいて説明する。

【0027】なお、図3に示される第1の実施例と同様の構成には同一の符号を付し、説明を省略する。

【0028】図10は、図3に示す本発明の第1の実施例の位相量子化回路にあたる部分を位相データ変換器という別の構成で実現した第2の実施例である。

【0029】図11には位相データ変換器101の構成が示されている。

【0030】位相データ変換器101は、リミッタ30と、発振器31と、発振器31からの出力を遅延させて $\theta_1 \sim \theta_8$ のそれぞれ異なる基準信号を発生させるシフトレジスタ113と、前記リミッタ30からの出力と、前記シフトレジスタ113からの基準信号 $\theta_1 \sim \theta_8$ との位相をそれぞれ比較する8個の位相比較器111-1～111-8と、この位相比較器111-1～8の出力に応じて変調信号の位相を判定して位相データを出力する位相データ判定回路112と、から構成される。

【0031】以下は、位相データ変換器からの出力である位相データを基に、微分回路、シフトレジスタ、積分回路、検出器、DPLLを用いてクロックの再生を行う。この構成は実施例1と同様である。

【0032】次にこの実施例の動作について説明する。

【0033】図11には位相データ変換器の詳細な構成が示されている。

【0034】また、図12には、この実施例における前記位相データ変換器の動作が示されている。

【0035】図11に示す発振器31からの出力をシフトレジスタ113にとりこみ、基準信号 $\theta_1 \sim \theta_8$ がそれぞれ $45^\circ$ ずつ異なる位相を出力するようにする。例えば、基準信号 $\theta_1$ は $0^\circ$ 、基準信号 $\theta_2$ は $45^\circ$ 、…、基準信号 $\theta_8$ は $315^\circ$ の位相である。

【0036】ここで、シンボルnにおいて、角度変調波信号 $\theta_n$ が位相データ変換器に入力されるとする。位相比較器111-1～111-8はそれぞれの基準信号 $\theta_1 \sim \theta_8$ と入力された角度変調波信号 $\theta_n$ とを比較する。位相比較器は比較した結果、一致した場合は”H”信号を、不一致の場合には”L”信号を出力する。図12の例で説明すると、入力された角度変調波信号 $\theta_n$ が例えば $200^\circ$ の位相であった場合、位相比較器111-1～111-8の出力は比較の結果、それぞれ”H, H, H, H, L, L, L”となる。

【0037】位相比較器からの出力を基に位相データ判

6

定回路は角度変調波信号の位相の範囲を判定する。前述の例の場合、位相比較器の出力がそれぞれ”H, H, H, H, L, L, L”なので、角度変調波信号の位相は、位相比較器の出力が”H”から”L”に変化する $\theta_5$ から $\theta_6$ の範囲( $180^\circ \sim 225^\circ$ )と判定する。そして、位相データ判定回路は、この場合、 $180^\circ \sim 225^\circ$ を代表する値、たとえば $202.5^\circ$ を位相データとして出力する。

【0038】位相データ出力から以後の動作は前述の実施例1に記述したものと同様である。

【0039】

【発明の効果】本発明の効果は、タイミング再生回路において、シフトレジスタの回路規模を低減し、クロック信号の配線遅延のばらつきによる回路の誤動作の危険性を回避することにある。

【図面の簡単な説明】

【図1】請求項1に記載のデジタルクロック再生回路の原理を示すブロック図である。

【図2】従来のデジタルクロック再生回路を示すブロック図である。

【図3】請求項1に記載のデジタルクロック再生回路の第1の実施例の構成を示す図である。

【図4】角度変調波の位相情報を取り出す説明図である。

【図5】量子化したデータを対応する位相データに変換する動作を説明する図である。

【図6】 $\pi/4$ シフトQPSK信号のアナログ遅延検波方式のアイバターンを示す図である。

【図7】量子化した位相データを用いて実現したアイバターンを示す図である。

【図8】零クロス検出の説明図である。

【図9】シフトレジスタの構成図である。

【図10】請求項1に記載のデジタルクロック再生回路の第2の実施例の構成を示す図である。

【図11】位相データ変換器の詳細な構成図である。

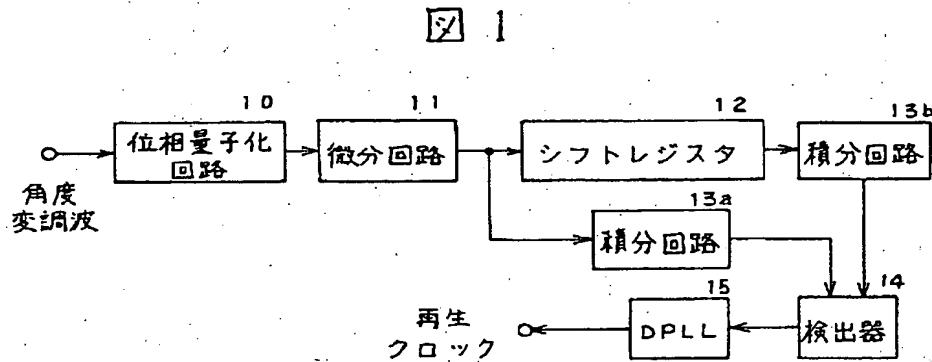
【図12】位相データ変換器の動作を説明する図である。

【図13】 $\pi/4$ シフトQPSK信号空間ダイヤグラムを示す図である。

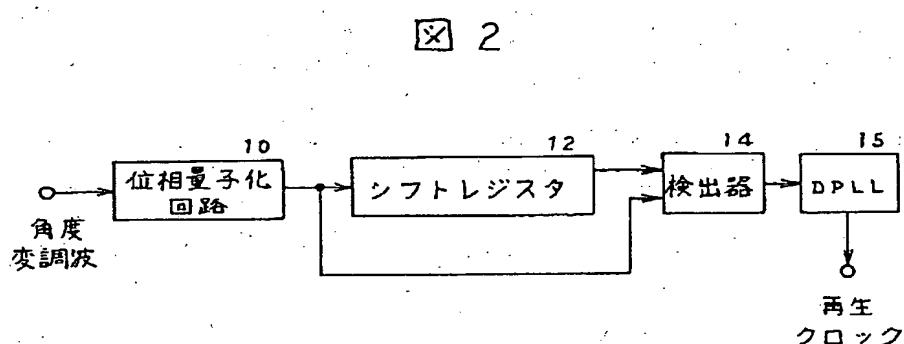
【符号の説明】

1.0…位相量子化回路、1.1…微分回路、1.2…シフトレジスタ、1.3a及び1.3b…積分回路、1.4…検出器、1.5…デジタル位相同期ループ(DPLL)、3.0…リミッタ、3.1…発振器、3.2…位相比較回路、3.3…A/D変換器、3.4…ラッチ、3.5…減算器、3.6…零クロス検出器、1.01…位相データ変換器、1.11…位相比較器、1.12…位相データ判定回路、1.13…シフトレジスタ。

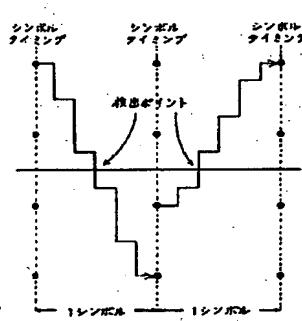
【図1】



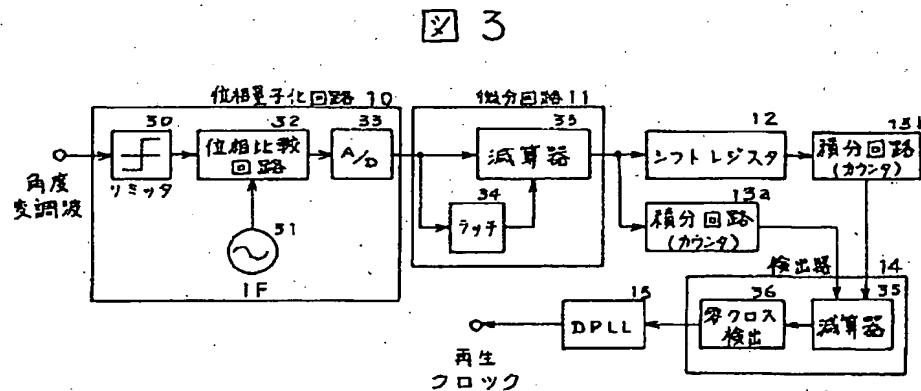
【図2】



【図8】

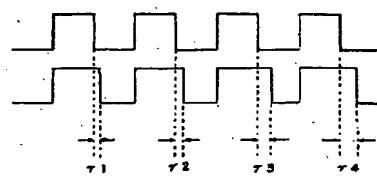


【図3】

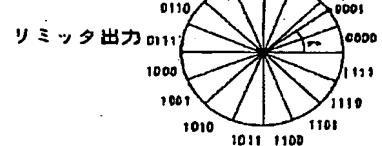


【図4】

図4



IF

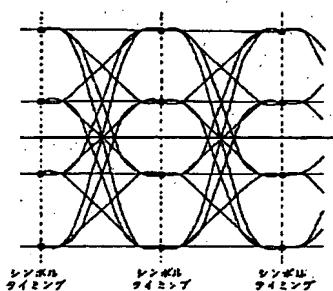


【図5】

図5

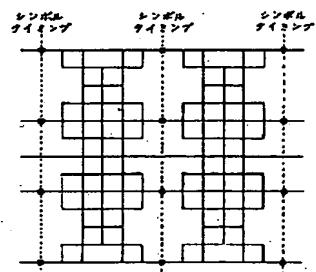
【図6】

図6



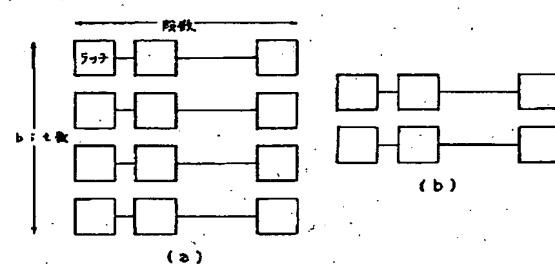
【図7】

図7



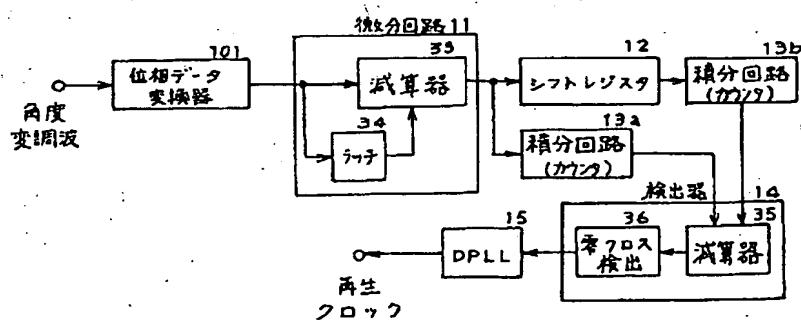
【図8】

図8



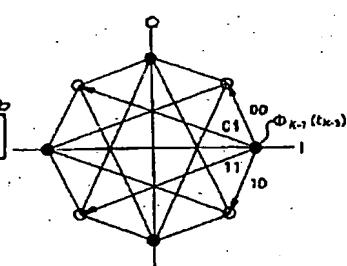
【図10】

図10



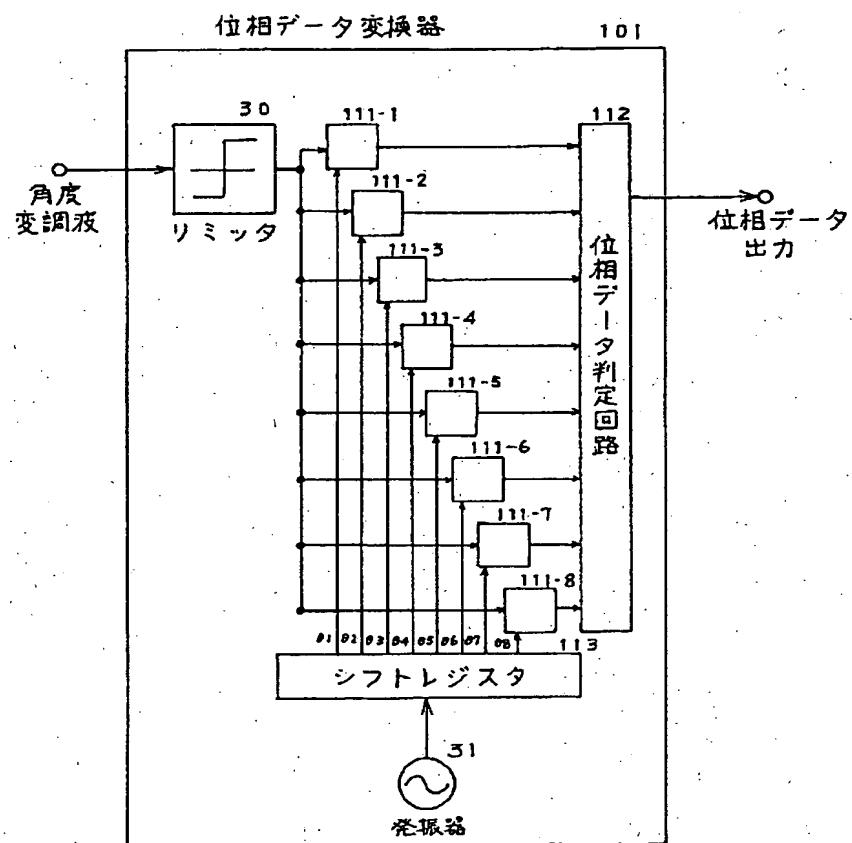
【図13】

図13



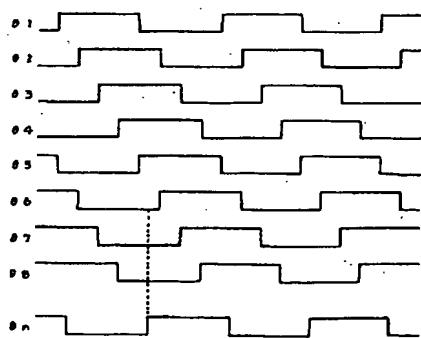
【図11】

図11



【図12】

図12



フロントページの続き

(51) Int. Cl.<sup>5</sup>  
H 04 L 7/00

識別記号 庁内整理番号  
F 7741-5K F I

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**